

PAT-NO: JP401166241A

DOCUMENT-IDENTIFIER: JP 01166241 A

TITLE: INFORMATION PROCESSOR

PUBN-DATE: June 30, 1989

INVENTOR-INFORMATION:

NAME

SAGESAKA, YASUHIRO

KANEKO, KENJI

UMAJI, TORU

NAKAGAWA, TETSUYA

KIUCHI, ATSUSHI

MIYAMOTO, MASABUMI

ONISHI, TADASHI

HAGIWARA, YOSHIMUNE

ASSIGNEE-INFORMATION:

NAME

COUNTRY

HITACHI LTD

N/A

APPL-NO: JP62324111

APPL-DATE: December 23, 1987

INT-CL (IPC): G06F013/16, G06F015/66

ABSTRACT:

PURPOSE: To realize the direct use of an external data as the address data on an internal data memory for an integrated circuit processor by setting a data bus for connection between an input register for external data and an address generating part for an internal data memory and producing a control

instruction for said data bus.

CONSTITUTION: The external data received from an external data memory 19 is supplied to an input register 21 for external data of an information processor 10. Then the external data is supplied to a data memory address generating part 15 in the next cycle cycle via a data bus 33 which connects the part 15 and the register 21 selected by a multiplexer 22 controlled by a control instruction received via a control line 34. Thus it is possible to use the external data directly as the address data on an internal data memory. As a result, a high- speed addressing operation is possible together with the high-speed data processing.

COPYRIGHT: (C)1989,JPO&Japio

## ⑫ 公開特許公報(A)

平1-166241

⑤ Int. Cl.

識別記号

庁内整理番号

⑬ 公開 平成1年(1989)6月30日

G 06 F 13/16  
15/66B-8841-5B  
J-8419-5B

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 情報処理装置

⑮ 特 願 昭62-324111

⑯ 出 願 昭62(1987)12月23日

⑰ 発 明 者 堤 坂 康 博 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑰ 発 明 者 金 子 憲 二 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑰ 発 明 者 馬 路 徹 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑰ 発 明 者 中 川 哲 也 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑰ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑰ 代 理 人 弁理士 小川 勝男 外1名

最終頁に続く

## 明 細 書

## 〔従来の技術〕

## 1. 発明の名称

情報処理装置

## 2. 特許請求の範囲

外部データの入力レジスタ、マルチプレクサ、データ転送用バス、内部データメモリ用アドレス発生部、外部データメモリ用アドレス発生部及び内部、外部データメモリ用アドレスバスより成り、外部データを内部データメモリのアドレッシングに用いるための入力レジスタと内部データメモリ用アドレスバスとを上記マルチプレクサにより接続することを特徴とする情報処理装置。

## 3. 発明の詳細な説明

## 〔産業上の利用分野〕

本発明は、集積回路技術におけるデータ・アドレッシング機能の高速化に係り、特に画像処理分野におけるデータの高速なアドレッシング及び高速な内部演算処理に好適な、信号処理プロセッサのアーキテクチャに関する発明である。

従来の技術では、外部データを集積回路内部に取り込んでデータ処理を行う上で、外部データを内部メモリのアドレッシングに直接使用することはしていない。

一般に、外部データは集積回路内部に取り込まれて種々の演算処理に使用され、処理結果は一般に内部メモリに格納されるかまたは外部に出力される。

## 〔発明が解決しようとする問題点〕

従来、プログラム制御によるプロセッサでデータ処理を行う場合は、LSIに入力されるデータは、一度入力レジスタに取り込まれた後にワーキングレジスタに転送されるか、データメモリにデータとして転送されてデータ処理されるのが一般的であった。デジタル信号処理プロセッサの場合においても、1) SICR '87 July 15 - 17 Hiroshima pp. 1289-1292

「Hitachi's Advanced Digital Signal Processor Enhanced For Image」にあるよう

に、外部データは入力レジスタ E I R に取り込まれた後に、汎用レジスタ A C C O H ~ A C C 3 L や内部データメモリ P A C E 0 ~ P A G E 3 に転送されるようになっている。

このように、従来の集積回路プロセッサは、外部データを直接内部メモリのアドレス・データとして用いる機能及びその制御を行う命令の点について配慮がされておらず、外部データを用いた内外部データメモリのアドレッシングの困難さ及びアクセス時間の低速性の問題があった。特に画像処理及びテーブル索引等のデータ処理においては、外部から取り込んだデータを内部データメモリのアドレスデータとして用いる処理も多く、このような場合においては従来技術では処理速度が低下するという問題があった。

本発明の目的は、外部データを内部データメモリのアドレスデータとして直接に使用可能とするアーキテクチャ構成及び制御命令を提供することによって、データ処理速度の向上を図ることにある。

12, データ演算部13, 汎用レジスタ14, 内部データメモリ用アドレス発生部15, 外部データメモリ用アドレス発生部18, 外部データ用入力レジスタ21, マルチプレクサ22, データバス30及びアドレスバス31等から構成されている。本発明の装置は、その他の各種演算ブロック及び制御ブロックを有しているが、ここでは本発明に関連している主要なブロックだけを明示している。

本発明の装置における特徴は、外部データ用入力レジスタ21の出力外にマルチプレクサ22とこれを制御する命令とその制御機能を設け、入力レジスタ21のデータ出力先として、内部データバス30及び内部データメモリ用アドレス発生部15のアドレス・バス31やアドレスレジスタ17を選択できるようにしていることである。

第2図は、出願前に検討されたプロセッサの構成図であるが、このプロセッサの場合には、入力レジスタ21の出力先は内部データバス30に限定されていた。このため、画像処理で良く用いら

〔問題点を解決するための手段〕

上記目的は、集積回路プロセッサ内において、外部データ用の入力レジスタと内部データメモリ用のアドレス発生部とを結ぶデータバス及びその制御命令を設けることによって達成される。

〔作用〕

外部データ用の入力レジスタと内部メモリのアドレス発生部及び上記入力レジスタの出力側にマルチプレクサを設け、このマルチプレクサによって、上記入力レジスタ内のデータを上記内部アドレス発生部に出力するか、データ演算部の汎用レジスタや内部データメモリに転送するための内部データバスに出力するかを選択機能を持たせることによって、外部データをアドレスデータとして使用する場合にデータ処理が高速化される。

〔実施例〕

以下、本発明の一実施例を第1図により説明する。第1図において、ワンチップにIC化された情報処理装置10は、命令メモリ及び命令デコード制御を行うブロック11, 内部データメモリ

れるヒストグラム処理などの場合には、データ処理速度が遅いという難点があった。そこで、ヒストグラム処理を例にとり、第1図に示した本発明によるプロセッサと第2図に示した従来のプロセッサで処理を行う場合について以下比較する。

ヒストグラム処理とは、第3図に示すような画像において、各画素42がnビットの階調43を持つ(N×M)個の画素データがあった場合に、各画素の階調分布44を計算し(第4図参照)、このヒストグラムの形状を基に、ある適当な線形変換等によって形状を変換させて画像を強調させる処理である。この階調分布44を計算するという処理は、一般には画素データを取り込んで、その画素データに対応するカウンタを1インクリメントし、この操作を全画素データについて実行させることである。これを、プロセッサで行うために以下の手順を用いて行うのが一般的である。すなわち、画素毎のデータを外部から取り込んで、そのデータを内部データメモリ12のアドレスデータと見なして、このデータに対応する内部デー

タメモリのデータを読み出して、そのデータに 1 を加算して再度内部データメモリに格納する。この操作を全画素 ( $N \times M$ ) 個について、繰り返すことにより内部データメモリのアドレスが画素 4 2 の隣画素 4 3 となり、そのアドレス値のデータがその隣画素における画素数を表わしていることになる。

このような処理の場合には、第 2 図のプロセッサでは、第 5 図に示すような処理フローとなる。すなわち、外部データを入力レジスタ 2 1 に取り込んだ後に、次サイクルで汎用レジスタ 1 4 に転送し、その次のサイクルで汎用レジスタから内部データメモリ用アドレス発生部にデータを転送し、さらに次のサイクルで内部データメモリをアクセスするという手順が必要となる。

これに対し、本発明では、外部データメモリ 1 9 から入力レジスタ 2 1 に取り込んだデータは、次のサイクルで直接に内部データメモリのアドレス発生部 1 5 にデータバス 3 3 を通して転送し内部データメモリをアクセスできるために、出願前

となる。このように、ヒストグラム処理の例では本発明のプロセッサにより、処理速度が約 30 % 向上する。これは、大規模な画像サイズ及び RGB カラー画像における画像処理速度の向上に非常に有効となる。

#### 〔発明の効果〕

本発明によれば、マルチプレクサと制御命令の追加だけで外部データを内部データメモリのアドレスバスに直接使用できるので、高速なアドレスバスかつ高速なデータ処理が可能となり、画像処理（ヒストグラムの作成及び変換、量子化、二値化、空間フィルタ等）やテーブル参照等におけるデータアクセス及びデータ処理の大幅な高速化を実現できる。

#### 4. 図面の簡単な説明

第 1 図は、本発明の一実施例の情報処理装置のブロック配線図、第 2 図は出願前に検討された情報処理装置のブロック配線図、第 3 図は画像データ形式の概略図、第 4 図はヒストグラムの作図例、第 5 図は第 2 図の情報処理装置を用いて画像のヒ

ストグラム処理を行うフロー及び第 6 図は、本発明による情報処理装置を用いて画像のヒストグラム処理を行うフローである。

10…情報処理装置のブロック配線図、  
11…命令メモリ及び命令制御部、12…内部データメモリ、13…データ演算部、14…汎用レジスタ、15…内部データメモリ用アドレス発生部、16…内部データメモリ用アドレス演算部、17…内部データメモリ用アドレスレジスタ、18…外部データメモリ用アドレス発生部、19…外部データメモリ、20…外部データメモリ用出力レジスタ、21…外部データメモリ用入力レジスタ、22…入力レジスタのマルチプレクサ、30…データ転送用バス、31…内部データメモリ用アドレスバス、32…入力レジスタからマルチプレクサを通してデータ転送用バスに接続されるバス、33…入力レジスタからマルチプレクサを通して内部データメモリ用アドレスバスに接続されるバス、34…マルチプレクサの切換えを行う制御線、40…画像の縦方向の画素数、

$$512 \times 512 \times 2 = 524,288 \text{ サイクル}$$

のデータ処理速度向上が可能となり、非常に大きな効果がある。例えば、プロセッサの命令実行サイクルが 100 nsec. の場合には、本発明による処理速度の向上は、従来のプロセッサが第 5 図のフローに従い

$$512 \times 512 \times 7 \times 100 \text{ ns} \approx 183.5 \text{ nsec.}$$

かかるのに対し、本発明によるプロセッサでは、第 6 図のフローに従い

$$512 \times 512 \times 5 \times 100 \text{ ns} \approx 131.1 \text{ nsec.}$$

かかるのに対し、本発明によるプロセッサでは、第 6 図のフローに従い

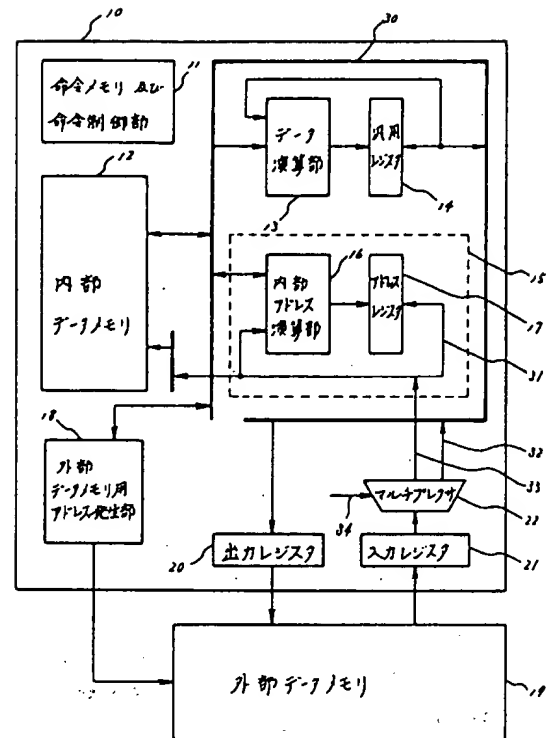
#### 10…情報処理装置のブロック配線図、

11…命令メモリ及び命令制御部、12…内部データメモリ、13…データ演算部、14…汎用レジスタ、15…内部データメモリ用アドレス発生部、16…内部データメモリ用アドレス演算部、17…内部データメモリ用アドレスレジスタ、18…外部データメモリ用アドレス発生部、19…外部データメモリ、20…外部データメモリ用出力レジスタ、21…外部データメモリ用入力レジスタ、22…入力レジスタのマルチプレクサ、30…データ転送用バス、31…内部データメモリ用アドレスバス、32…入力レジスタからマルチプレクサを通してデータ転送用バスに接続されるバス、33…入力レジスタからマルチプレクサを通して内部データメモリ用アドレスバスに接続されるバス、34…マルチプレクサの切換えを行う制御線、40…画像の縦方向の画素数、

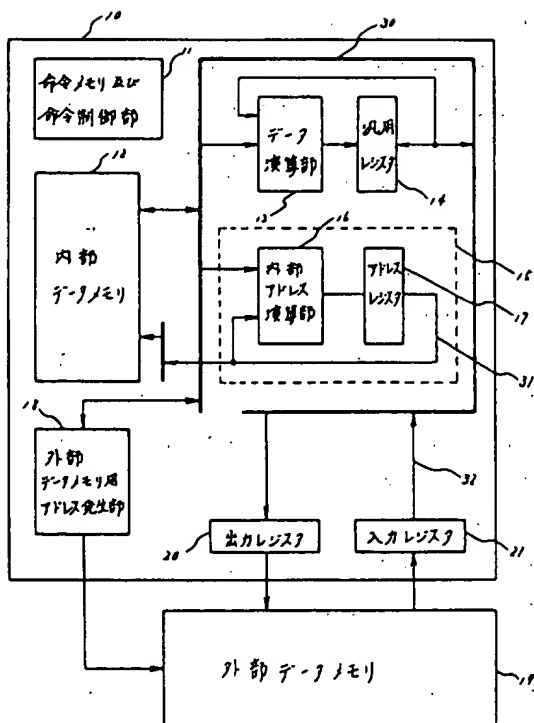
4 1 …画像の横方向の画素数、4 2 …画素、  
4 3 …画素の白黒濃淡階調、4 4 …画像のヒスト  
グラム分布。

代理人 井理士 小川勝男

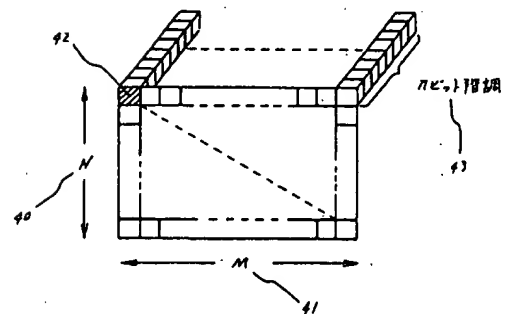
第 1 図



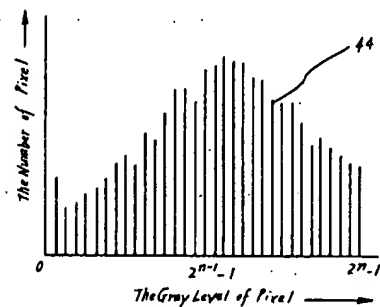
第 2 図

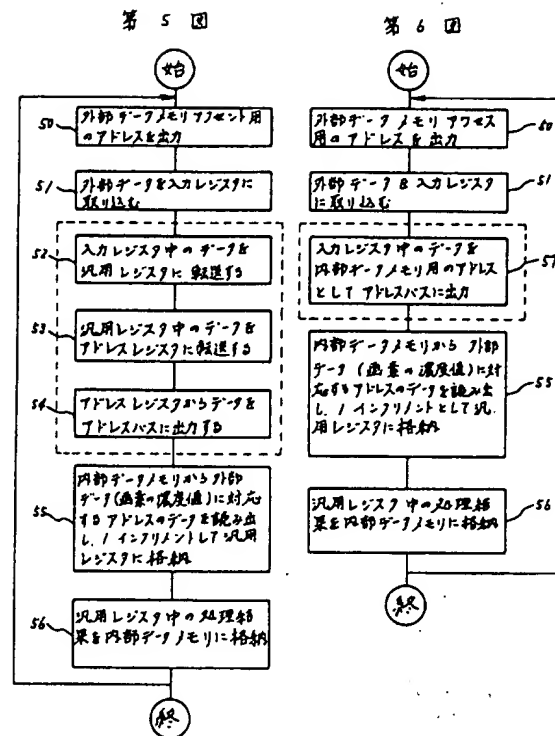


第 3 図



第 4 図





第 1 頁の続き

⑦発明者	木内	淳	東京都国分寺市東恋ヶ窪 1 丁目 280 番地	株式会社日立製作所中央研究所内
⑦発明者	宮本	正文	東京都国分寺市東恋ヶ窪 1 丁目 280 番地	株式会社日立製作所中央研究所内
⑦発明者	大西	忠志	東京都国分寺市東恋ヶ窪 1 丁目 280 番地	株式会社日立製作所中央研究所内
⑦発明者	萩原	吉宗	東京都国分寺市東恋ヶ窪 1 丁目 280 番地	株式会社日立製作所中央研究所内